

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-56034

(43)公開日 平成8年(1996)2月27日

(51)Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/096				
H 0 1 L 21/8249				
27/06				
33/00	J			
			H 0 1 L 27/ 06	3 2 1 G
			審査請求 未請求	請求項の数9 O L (全 12 頁)

(21)出願番号 特願平7-90925
(22)出願日 平成7年(1995)4月17日
(31)優先権主張番号 特願平6-84576
(32)優先日 平6(1994)4月22日
(33)優先権主張国 日本(JP)
(31)優先権主張番号 特願平6-147080
(32)優先日 平6(1994)6月6日
(33)優先権主張国 日本(JP)

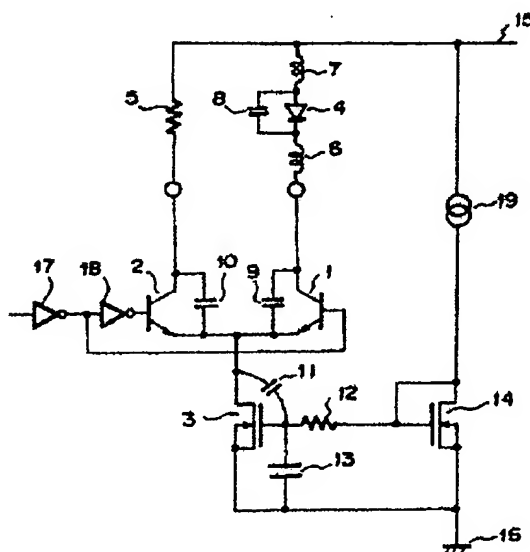
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 中村 博之
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 弁理士 山下 稔平

(54)【発明の名称】 半導体発光素子駆動回路

(57)【要約】

【目的】 オーバーシュート、リンギングの無い、電流パルス波形を得る。また寄生インダクタンスの発生を抑える。

【構成】 発光素子4を駆動する為の半導体発光素子駆動回路において、該発光素子4を駆動する為の制御信号がベースに入力され、該制御信号にตอบสนองしてエミッタ・コレクタ間に電流を流すことにより該発光素子を駆動するバイポーラトランジスタ1と、該バイポーラトランジスタ1に接続された定電流源として動作する絶縁ゲート型トランジスタ3と、を有する。



(2)

特開平8-56034

1

【特許請求の範囲】

【請求項1】 発光素子を駆動する為の半導体発光素子駆動回路において、該発光素子を駆動する為の制御信号がベースに入力され、該制御信号にตอบสนองしてエミッタ・コレクタ間に電流を流すことにより該発光素子を駆動するバイポーラトランジスタと、

該バイポーラトランジスタに接続された定電流源として動作する絶縁ゲート型トランジスタと、を有する半導体発光素子駆動回路。

【請求項2】 該バイポーラトランジスタと該発光素子との間のラインに抵抗とコンデンサの直列回路を設け、該バイポーラトランジスタと該定電流源と該直列回路を1チップ化したことを特徴とする請求項1記載の半導体発光素子駆動回路。

【請求項3】 発光素子を駆動する為の半導体発光素子駆動回路において、該発光素子を駆動する為の制御信号がベースに入力され、該制御信号にตอบสนองしてエミッタ・コレクタ間に電流を流すことにより、該発光素子を駆動するバイポーラトランジスタと、

該バイポーラトランジスタに接続された定電流源と、該バイポーラトランジスタと該発光素子との間のラインに接続された、抵抗とコンデンサの直列回路と、を1チップ化したことを特徴とする半導体発光素子駆動回路。

【請求項4】 バイポーラトランジスタと絶縁ゲート型トランジスタが同一基板上に構成される半導体集積回路で、差動接続された前記バイポーラトランジスタのコレクタに接続されて駆動される半導体発光素子を有する半導体発光素子駆動回路において、前記差動接続されたバイポーラトランジスタのエミッタが、定電流源として動作する絶縁ゲート型トランジスタのドレインへ接続されていることを特徴とする半導体発光素子駆動回路。

【請求項5】 前記絶縁ゲート型トランジスタは、複数個並列接続されていることを特徴とする請求項4に記載の半導体発光素子駆動回路。

【請求項6】 前記定電流源として用いられる絶縁ゲート型トランジスタのゲート部に、同一集積回路内に形成される、抵抗、容量より成る時定数回路を接続したことを特徴とする請求項4又は5に記載の半導体発光素子駆動回路。

【請求項7】 前記バイポーラトランジスタのベースが、相補信号によって駆動されることを特徴とする請求項4～6のいずれか1項に記載の半導体発光素子駆動回路。

【請求項8】 集積回路内に形成された、差動接続された2つのバイポーラトランジスタと、該バイポーラトランジスタの共通エミッタに接続された定電流源と、バイポーラトランジスタのうちの1つのトランジスタのコレ

2

クタに接続された半導体発光素子を有し、前記バイポーラトランジスタのそれぞれのベースに相補的なパルス信号を加えることによって前記半導体発光素子を駆動する半導体発光素子駆動回路において、バイポーラトランジスタが形成される集積回路内に抵抗とコンデンサの直列回路を形成し、該直列回路を前記バイポーラトランジスタのコレクタと電源または基板電位の間に接続することを特徴とする半導体発光素子駆動回路。

【請求項9】 請求項8記載の半導体発光素子駆動回路において、前記抵抗の抵抗値とコンデンサの容量を集積回路の外部で発生する寄生インダクタンスに関して適切に選ぶことによって、前記バイポーラトランジスタのベースに相補的なパルス信号を加えたときに半導体発光素子に流れる電流が振動的に変化する状態と非振動的に変化する状態の間の臨界状態になるように設定することを特徴とする半導体発光素子駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表示装置 (displays) や表示器 (indicators) やLEDプリンタヘッド等に用いられるLED駆動回路や、光ディスク装置やIC製造用の露光装置やレーザービームプリンタ等に用いられるレーザー光源用の駆動回路や、光通信用の発光素子の駆動回路として用いられる半導体発光素子駆動回路に関する。

【0002】

【従来の技術】 発光ダイオード (LED) や半導体レーザーに代表される半導体発光素子の駆動回路としては、発光素子のカソードを低電位の基準電圧源に接続し、そのアノード側に定電流源を接続したカソード共通回路と、発光素子のアノードを高電位の基準電圧源に接続し、そのカソード側にスイッチング回路と定電流源とを接続したアノード共通回路と、の2種類がある。

【0003】 前者の側は特開平2-296382号等に開示されている。一方、後者は、前者よりもスイッチング速度が速い為に今後の主流の回路として期待されている。

【0004】 図9は従来の半導体発光素子駆動回路の一例を示す回路図である。

【0005】 図9において、1、2は差動接続されたバイポーラトランジスタ、3は定電流動作するバイポーラトランジスタ、4は半導体発光素子、5は抵抗、6は半導体発光素子を駆動するバイポーラトランジスタと半導体発光素子間の配線によるインダクタンス、7は半導体発光素子と電源間の配線によるインダクタンス、8は半導体発光素子の接合容量、9、10はバイポーラトランジスタ1、2のコレクタ・エミッタ容量、11はバイポーラトランジスタ3のベース・コレクタ容量である。

【0006】 図9に示すように、従来の半導体集積回路による半導体発光素子駆動回路では、差動接続されたバ

(3)

特開平8-56034

3

イボラトランジスタ1, 2のエミッタは、同一導伝型の定電流源として動作するバイボラトランジスタ3のコレクタへ接続されるように構成されている。

【0007】又、従来、半導体発光素子を高速で電流スイッチングする回路としては、図13に示すような個別部品である抵抗9とコンデンサ10の直列接続された回路を、図14に示すように、集積回路17が収容されるパッケージ16の外部に設けるように構成されている。

【0008】

【発明が解決しようとする課題】

(第1の課題) しかしながら、図9の従来例の様な構成にすると、半導体発光素子を駆動する電流波形は若しく乱されてしまうことがある。

【0009】図10は、図9の例において、半導体発光素子の駆動電流が乱されるメカニズムを説明する為の図である。図10に従い、このメカニズムを説明する。

【0010】半導体発光素子4は、数mA~100mA程度の定電流で高速にスイッチングされる必要が有る。この定電流値をIとし、インダクタンス6の値をL₁、インダクタンス7の値をL₂とする。トランジスタ1がカット・オフ状態から飽和状態となり、半導体発光素子4に流れる電流が略ゼロから定電流値Iにまで到達する時間をtとすると、インダクタンス6, 7で、この電流変化によって生ずる逆起電圧V₁、V₂は

$$V_1 = L_1 \cdot I / t, \quad V_2 = L_2 \cdot I / t$$

となる。V₁はトランジスタ1のコレクタ・エミッタ容量9、トランジスタ3のベース・コレクタ容量11を通し、トランジスタ3のベースへ伝送される。同様に、V₂は半導体発光素子4の接合容量8を経て、9, 11を通し、3のベースへ伝送される。

【0011】また、バイボラトランジスタの相互コンダクタンスg_mは、

$$g_m = \partial I_c / \partial V_{be} = q I_c / kT$$

で表わされる。即ち、ベースへ与えられる電位の変化は、大きなコレクタ電流の変化として現われる事になる。従って、従来構成によると、配線インダクタンスで発生した電位変動は、定電流動作するトランジスタ3のベースへ伝達され、コレクタ電流、即ち、半導体発光素子の駆動電流波形を乱すことになる。

【0012】波形の乱れは、オーバーシュート、リングングによって表わされるが、オーバーシュートが発生すると、半導体発光素子が劣化し、ひいては半導体発光素子を用いている製品寿命を短くしてしまう。 *

$$V_1 = 1/C \cdot \int I_2 dt + L_1 \cdot dI_1 / dt + R I_1 \quad (1)$$

$$V_2 = V_{cc} - L_2 \cdot dI_1 / dt \quad (2)$$

$$I_1 = I_2 + I \quad (3)$$

式(3)を式(1)に代入して微分すると、以下の式(4)が得られる。

$$dV_1 / dt = 1/C (I_1 - I) + L_1 \cdot d^2 I_1 / dt^2 + R \cdot dI_1 / dt \quad (4)$$

4

* 【0013】これを回避する為には図11に示す様に、半導体発光素子駆動回路を収めるパッケージ外部に、抵抗12、コンデンサ13によるスナバ回路の追加する構成や、或いは、図12に示す様に、差動接続されたエミッタ、定電流動作するトランジスタのベース、コレクタを端子へ引き出し、コイル14の挿入、或いは容量15の挿入によって、定電流の安定化を図る手法が考えられる。

【0014】しかしながら、図11の様な手法では、オーバーシュートを取る為の抵抗、容量より立上がり時間が遅れ、駆動周波数の低下を招く恐れがある。

【0015】又、図12の様な手法によると、パッケージピン数の増加、部品の増加が生じる。図11、図12中で符号19, 20, 21, 22は接続端子を示す。

【0016】(第2の課題) 図13は、従来例における寄生素子(寄生インダクタンス成分)を含めた等価回路図であり、図14は、図13に対応した実装状態図である。図13、図14において、1, 2は、集積回路117内に形成された、差動接続されたバイボラトランジスタであり、3は定電流源であり、4は半導体発光素子であり、5は抵抗であり、106は半導体発光素子を駆動するバイボラトランジスタのコレクタとパッケージ116のピンを接続するボンディングワイヤによる寄生インダクタンスであり、107はピンの寄生インダクタンスであり、108はピンから半導体発光素子4までの配線による寄生インダクタンスであり、109は抵抗であり、110はコンデンサであり、112は抵抗109とコンデンサ110の直列接続に伴う寄生インダクタンスであり、15は電源であり、114, 115はトランジスタ1, 2を駆動する相補パルス信号であり、117はトランジスタ1, 2を含む集積回路である。

【0017】半導体発光素子は、数mA~100mA程度の定電流で高速にスイッチングされる必要がある。今、この定電流値をIとし、寄生インダクタンス106, 107, 108, 112の値をそれぞれL₁、L₂、L₃、L₄とする。図15は、図13のトランジスタ1をスイッチ18で表し、L₁=L₂=0 [H]としたときの近似回路である。図15において、時刻t=0において、スイッチ118を閉じると、A点の電位をV_Aとし、電源電位をV_{cc}とすると、A点において、次の式が成立する。

【0018】

【0019】

(4)

特開平8-56034

5

6

また、式(2)を微分して以下の式(5)が得られる。 * * [0020]

$$dV_A/dt = -L_2 d^2 i_1 / dt^2 \quad (5)$$

式(4)および式(5)より、以下の式(6)が得られ * [0021]

る。

$$(L_2 + L_4) \cdot d^2 i_1 / dt^2 + R \cdot di_1 / dt + 1/C (i_1 - I) = 0 \quad (6)$$

式(6)の特性方程式 $\phi(D)$ は次のように表される。 * * [0022]

$$\phi(D) = (L_2 + L_4) D^2 + R \cdot D + 1/C \quad (7)$$

$\phi(D) = 0$ の根を λ_1 、 λ_2 とすると、過渡解は次の * [0023]
ようになる。

$$i_1 = K_1 \cdot e^{\lambda_1 t} + K_2 \cdot e^{\lambda_2 t} \quad (K_1, K_2 \text{ は定数}) \quad (8)$$

また、スイッチ118を閉じた後の定常状態では、 $i_1 = I$ であるので、一般解は、以下の式(9)になる。 ◆ [0024]

$$i_1 = I + K_1 \cdot e^{\lambda_1 t} + K_2 \cdot e^{\lambda_2 t} \quad (9)$$

式(7)を解くと、以下の式(10)になる。 * * [0025]

$$D = -R/2 (L_2 + L_4) \pm j \sqrt{(\omega_0^2 - \tau^{-2})} \\ = -\tau^{-1} \pm j \omega_1 = \lambda_1, \lambda_2 \quad (10)$$

ただし、 $\omega_0 = 1/\sqrt{(L_2 + L_4)C}$ 、 $\tau = 2$ * ② $\omega_0 < \tau^{-1}$

$(L_2 + L_4)/R$ 、

2) ③ $\omega_0 = \tau^{-1}$

$\omega_1 = \sqrt{(\omega_0^2 - \tau^{-2})}$

①の場合、 λ_1 、 λ_2 とも複素数となり、 i_1 は振動的

式(10)で $\sqrt{\quad}$ 内は、正負いずれの値もとるので、次の
3つの場合がある。

になる。式(9)を微分すると、以下の式(11)が得
られる。

[0026] ① $\omega_0 > \tau^{-1}$ * [0027]

$$di_1/dt = K_1 \lambda_1 \cdot e^{\lambda_1 t} + K_2 \lambda_2 \cdot e^{\lambda_2 t} \quad (11)$$

式(9)と式(11)で、 $t=0$ で、 $i_1=0$ 、 $t \rightarrow \infty$ * $\lambda_1 = -\lambda_2$ 、 $K_2 = -K_1 I (\lambda_1 - \lambda_2)$ となる。

で、 $i_1 = I$ とすると、 $0 = I + K_1 + K_2$ 、 $0 = K_1$ * [0028] 従って、以下の式(12)が得られる。

$\lambda_1 + K_2 \lambda_2$ となる。これから、 $K_1 = \lambda_2 I / (\lambda_1 +$ * [0029]

$$i_1 = I \{ 1 - \omega_0 / \omega_1 \cdot e^{-t/\tau} \cdot \sin(\omega_1 t + \theta) \} \\ \theta = \tan^{-1} \omega_1 \tau \quad (12)$$

式(12)は、周波数 ω_1 の振動が時定数 τ に沿う形で
対数的に減少する。

★ただし、 $\omega_1 = j \omega_0$ 、

$$\omega_1 = \sqrt{\{ R/2 (L_2 + L_4) \}^2 - \{ 1/\sqrt{(L_2 + L_4)C} \}^2}$$

[0030] ②の場合、 λ_1 、 λ_2 とも負の実数となる
ため、非振動状態となる。

従って、以下の式(13)が得られる。

[0031] λ_1 、 $\lambda_2 = -\tau^{-1} \pm \omega_1$ * [0032]

$$i_1 = I \{ 1 - \omega_0 / \omega_1 \cdot e^{-t/\tau} \cdot \sin(\omega_1 t + \theta) \} \\ \theta = \tan^{-1} \omega_1 \tau \quad (13)$$

このため、 i_1 は対数的に変化する。

◆れる電流波形は、それぞれ、図16(a)、(b)、

[0033] ③の場合、 $\lambda_1 = \lambda_2 = -\tau^{-1}$ となり、臨
界点にあたる。

(c)のようになる。ここで、図16(a)の場合には、
オーバーシュートの発生によって半導体発光素子の
寿命を損ない、製品寿命を短くしてしまう欠点があり、
図16(b)の場合には、立上がり時間が大きく、高速
スイッチングできないという欠点がある。最も望ましい
のは、図16(c)の波形である。この場合、式(1
1)より、

[0034] $\omega_1 = 0$ で、 $\omega_0 = \tau^{-1}$

$$i_1 = I \{ 1 - \omega_0 / \omega_1 \cdot e^{-t/\tau} \cdot \sin(\omega_1 t + \theta) \}$$

従って、 $\omega_1 \rightarrow 0$ で、 $i_1 = I \{ 1 + (1 + t/\tau) \cdot$
 $e^{-t/\tau} \}$ となる。

[0035] ①、②、③の各場合、半導体発光素子を流◆

$$1/\sqrt{(L_2 + L_4)C} = R/2 (L_2 + L_4) \quad (14)$$

となり、寄生インダクタンス L_2 、 L_4 の値より、立上
り時間を最も速くできる抵抗 R の抵抗値とコンデンサ

10の容量を決定できる。

[0036] さて、ここで、重要なことは、上記定量的

(5)

特開平8-56034

7

考察において仮定した $L_1 = L_2 = 0$ (H)である。 $L_1 = L_2 = 0$ (H)と仮定したために、最も立上りの速くかつオーバーシュートのない抵抗9の抵抗値とコンデンサ110の容量の定数を決定できたが、従来では、パッケージの外部に個別部品である抵抗、コンデンサを用いていたため、ボンディングワイヤによる寄生インダクタンス106 ($=L_1$)、パッケージのピンによる寄生インダクタンス107 ($=L_2$)が存在するため、 $L_1 = L_2 = 0$ (H)とすることができない。このため、オーバーシュートの発生を抑えることが困難であり、オーバーシュートの発生を抑えるためには、コンデンサ110の容量を大きくしなければならぬが、コンデンサ110の容量を大きくすると動作速度が遅くなる。

【0037】(発明の目的)本発明の第1の目的は、半導体発光素子の駆動電流波形の乱れを無くし、安定した駆動電流により半導体発光素子を駆動することにより、半導体発光素子の劣化が無く、製品寿命を長くできる半導体発光素子駆動回路を実現することにある。

【0038】また、本発明の第2の目的は駆動周波数の低下や、パッケージピン数の増加、部品の増加を解決できる半導体発光素子駆動回路を提供することにある。

【0039】本発明の第3の目的は、発光素子を駆動する為の半導体発光素子駆動回路において、該発光素子を駆動する為の制御信号がベースに inputs され、該制御信号に 20 応答してエミッタ・コレクタ間に電流を流すことにより該発光素子を駆動するバイポーラトランジスタと、該バイポーラトランジスタに接続された定電流源として動作する絶縁ゲート型トランジスタと、を有する半導体発光素子駆動回路を提供することにある。

【0040】本発明の第4の目的は、発光素子を駆動する為の半導体発光素子駆動回路において、該発光素子を駆動する為の制御信号がベースに inputs され、該制御信号に 30 応答してエミッタ・コレクタ間に電流を流すことにより、該発光素子を駆動するバイポーラトランジスタと、該バイポーラトランジスタに接続された定電流源と、該バイポーラトランジスタと該発光素子との間のラインに接続された、抵抗とコンデンサの直列回路と、を1チップ化したことを特徴とする半導体素子駆動回路を提供することにある。

【0041】本発明の第5の目的は、バイポーラトランジスタと絶縁ゲート型トランジスタが同一基板上に構成される半導体集積回路で、差動接続された前記バイポーラトランジスタのコレクタに接続されて駆動される半導体発光素子を有する半導体発光素子駆動回路において、前記差動接続されたバイポーラトランジスタのエミッタが、定電流源として動作する該バイポーラトランジスタと同一導電型の絶縁ゲート型トランジスタのドレインへ接続されていることを特徴とする半導体発光素子駆動回路を、その手段として、これにより、相互コンダクタンスの小さな絶縁ゲート型トランジスタを用いて定電流源 40 50

8

の応答性を制御する事により、半導体発光素子の駆動電流に発生するオーバーシュート、リングングを抑制することができる、回路を提供することにある。

【0042】本発明の第6の目的は、バイポーラトランジスタが形成される集積回路内に抵抗とコンデンサの直列回路を形成し、該直列回路を前記バイポーラトランジスタのコレクタと電源または基板電位の間に接続することによってオーバーシュートを効果的に抑制すると共に動作速度の低下を防ぐようにした回路を提供することにある。

【0043】

【課題を解決するための手段】本発明の基本構成は、発光素子を駆動する為の制御信号が inputs されるバイポーラトランジスタと、該バイポーラトランジスタに定電流を供給する為の定電流源と、を有する駆動回路である。

【0044】そして、該バイポーラトランジスタが、制御信号としてのオン信号の inputs によって、オンし、エミッタ・ベース間に電流を流す。この電流は発光素子を駆動する為の電流であり、定電流源より供給されるものである。

【0045】本発明では、バイポーラトランジスタと絶縁ゲート型トランジスタを同一基板上に有する半導体集積回路で、差動接続されたバイポーラトランジスタをスイッチング回路として用い、それに接続されて駆動される発光素子を有する半導体発光素子駆動回路において、前記差動接続されたバイポーラトランジスタに、絶縁ゲート型トランジスタを用いた定電流回路を接続した。

【0046】これにより、相互コンダクタンスの小さな絶縁ゲート型トランジスタを用いて定電流源の応答性を制御する事により、発光素子の駆動電流に発生するオーバーシュート、リングングを抑制することができる。

【0047】また、前記絶縁ゲート型トランジスタが複数個並列接続されていることを特徴とする。絶縁ゲート型トランジスタは、パワーMOSトランジスタのように、特殊なプロセスによって形成されるものを除き、本発明のようにバイポーラトランジスタと同一集積回路内に形成されるものは、主として論理回路に用いられるため、その扱う電流は、通常 $1\mu\text{A}$ 以下である。従って、半導体発光素子を駆動するための数mA~100mAの電流を得るためには、巨大な絶縁ゲート型トランジスタが必要となる。シミュレーションによって得た該絶縁ゲート型トランジスタの大きさは、ゲート幅 $2000\mu\text{m}$ 、ゲート長 $3\mu\text{m}$ である。このような大きさの絶縁ゲート型トランジスタでは、もはや集中定数的に扱うことができず、電流密度がトランジスタ内で異なることになってしまうことがある。この点をより改善する為には絶縁ゲート型トランジスタを複数個並列接続するといふ。

【0048】また、前記定電流源として用いられる絶縁ゲート型トランジスタのゲート部に、抵抗、容量より成る時定数回路を接続したことを特徴とする半導体発光素

(6)

特開平8-56034

9

子駆動回路により、時定数を最適化する事で、ゲート電位波形を制御することができ、オーバーシュート、リングの無い電流波形が得られる。

【0049】また、前記バイポーラトランジスタのベースに、相補信号が入力されることによって駆動されることを特徴とする半導体発光素子駆動回路により、該バイポーラトランジスタは、飽和状態となることなくスイッチングされるため、最も高速の電流スイッチングが可能となる。

【0050】すなわち、本発明によれば、差動接続されたバイポーラトランジスタのエミッタへ接続される定電流源として絶縁ゲート型トランジスタを用い、必要に応じてそのゲートに抵抗、容量より成る時定数回路を接続することによって、オーバーシュート、リングの無い、高速な電流パルス波形を得る事が出来る。

【0051】又、本発明においては、一対のバイポーラトランジスタからなる差動接続されたスイッチング回路に、該回路と共に抵抗とコンデンサとの直列回路を一体的に集積化して1チップICとした。

【0052】更に、より好ましくは、差動接続された一対のバイポーラトランジスタからなるスイッチング回路と絶縁ゲート型トランジスタからなる定電流回路とを有する駆動手段を発光素子のカソード側に接続した駆動回路であって、抵抗とコンデンサとの直列回路を該発光素子のカソード側に接続するとともに、該駆動回路と該直列回路とを1チップに集積化したことを特徴とする回路にするといふ。

【0053】これらの駆動回路は周知のICプロセス技術によって1チップICとして実現できるが、ヒ化ガリウムやインジウムリン等の化合物半導体を用いて作製してもよい。発光素子と同じ化合物半導体で駆動回路を作製する場合には、両者を一体化して1チップ化することも容易になるであろう。

【0054】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

（第1の実施例）図1は、本発明の第1の実施例による半導体発光素子駆動回路の回路図である。同図において、1、2は差動接続されたnpnトランジスタ、3は1、2の共通エミッタへドレインが接続され、定電流動作する絶縁ゲート型トランジスタとなるNMOSTランジスタ、4はカソードが、配線による寄生インダクタンス6を介してnpnトランジスタ1のコレクタへ接続される半導体発光素子、5はnpnトランジスタ2のコレクタへ接続される、負荷である抵抗、7は半導体発光素子4のアノードと高電位の基準電圧源である電源15の間の配線による寄生インダクタンス、8は半導体発光素子4の接合容量C_j、9、10はnpnトランジスタ1、2のエミッタ・コレクタ間容量、11は定電流源として動作するNMOSTランジスタ3のドレイン・ゲ

10

ト間容量、12はその一端がNMOSTランジスタ3のゲートと、容量13の一端へ接続される抵抗であり、該抵抗の他端は、バイアス電位を与えるNMOSTランジスタ14のゲート及びドレインへ接続され、又、13の容量の他端は低電位の基準電圧源である接地電位16へ接続される。17、18は差動接続されたnpnトランジスタのベースへ相補スイッチング信号を与えるインバータである。19はNMOSTランジスタ14へ定電流を供給する定電流源である。

【0055】図2は、本実施例における各部の電圧波形、電流波形を示したものである。図2において本実施例の動作を詳述する。

【0056】インバータ17がHレベルをnpnトランジスタ1のベースへ与え、インバータ18がLレベルをnpnトランジスタ2のベースへ与える。するとnpnトランジスタ1は飽和状態へ、npnトランジスタ2はカット・オフ状態となり、npnトランジスタ1のコレクタ電流、即ち半導体発光素子の駆動電流は0から、定電流動作するNMOSTランジスタ3のドレイン電流I_dへ、ある時間tで到達する。時間tでの電流変化Iは、図2(a)、(b)に示すように、寄生インダクタンス6(=L₁)、7(=L₂)によって、夫々L₁・I/t、L₂・I/tの逆起電圧パルスを発生する。この逆起電圧パルスは、半導体発光素子の接合容量8、npnトランジスタ1のエミッタ・コレクタ間容量9、NMOSTランジスタ3のゲート・ドレイン容量11によって、NMOSTランジスタ3のゲートまで伝送される。npnトランジスタ1、2のエミッタの電位変動は、ベースへの相補駆動信号によって発生する波形図2(e)実線と、上述逆起電圧パルスの合成された波形図2(f)点線のようになり、結局、NMOSTランジスタ3のゲートには図2(g)点線の電位波形が発生する。

【0057】また、NMOSTランジスタの相互コンダクタンスg_mは、

$$g_m = \sqrt{I_D \cdot \mu_n \cdot C_{ox} W / L}$$

で表わされる。ここで、

I_D : ドレイン電流

μ_n : 電子の移動度

C_{ox} : ゲート容量

W : チャネル幅

L : チャネル長

である。

【0058】上式は、バイポーラトランジスタの相互コンダクタンスに比べ、絶縁ゲート型トランジスタとなるMOSTランジスタの相互コンダクタンスがはるかに小さい事を示している。そして、この事は、ゲートにおける電位変動の影響が、ドレイン電流の変化として小さい事を示している。

【0059】更に、本実施例の如く、NMOSTランジ

(7)

特開平8-56034

11

スタ3のゲートへ、抵抗12と容量13を接続する事によって、ゲート電位の振舞は時定数 $\tau = C_c \cdot R_c$ によって制御され、高速のパルスに対し応答できず、時定数 τ によって応答する事となる。

【0060】図3(a)～(c)は、定電流動作するNMOSTランジスタ3のゲートに接続される抵抗12と容量13による時定数を変化させた時の半導体発光素子の駆動電流波形と、ゲート電位波形である。時定数を最適化する事で、オーバーシュート、リングングの無い電流波形が得られる事を示している。

【0061】また、MOSTランジスタ3は、誘電体としてのSIO₂からなるフィールド絶縁膜により分離されたS1基板上の複数の活性領域に個々に形成されたMOSTランジスタを互いに並列接続して構成することが好ましい。

【第2の実施例】図4は、本発明における第2の実施例による半導体発光素子駆動回路の回路図である。本実施例では、絶縁ゲート型トランジスタとなるNMOSTランジスタを複数個並列接続し、各々のMOSTランジスタのゲートへ、抵抗、容量を接続している。

【0062】これは、必要な駆動電流を得る為、NMOSTランジスタのW/Lを大きくすると、ゲート部の振舞を分布定数回路として考える必要があり、集中定数的に取扱う事が出来ず最適化された設計が困難となる為である。

【0063】以上説明したように、差動接続されたバイポーラトランジスタのエミッタへ接続される定電流源としてMOSTランジスタを用い、かつ、ゲート部に抵抗、容量より成る時定数回路を接続することによって、オーバーシュート、リングングの無い、電流パルス波形を得る事が出来る。

【0064】このため、安定した駆動電流により半導体発光素子を駆動することにより、半導体発光素子の劣化が無く、製品寿命を長くすることができるという効果が得られる。

【0065】また、従来の対策により生じた、駆動周波数の低下の問題や、パッケージピン数の増加、部品の増加等の問題も、解決することができるという効果が得ら*

$$1/\sqrt{(L_1 C)} = R/2L_1$$

このため、寄生インダクタンス L_1 に関して抵抗9の抵抗値Rとコンデンサ10の容量Cを適切に選ぶことによって、半導体発光素子駆動回路において相補的なパルス信号を加えたときに半導体発光素子に流れる電流が振動的に変化する状態と非振動的に変化する状態の間の臨界状態になるように設定できる。

【第4の実施例】本実施例では図5の符号3で示す定電流源を図4に示したようなMOSTランジスタで構成した。

【0069】以上説明したように、実施例3、4によると、半導体発光素子駆動回路において、従来、バイポー

12

*れる。

【第3の実施例】次に、本発明の第3の実施例の半導体発光素子駆動回路を説明する。図5は、本発明の実施例の半導体発光素子駆動回路を示す図である。図5において、1、2は集積回路(図示せず)内に形成された、差動接続されたバイポーラトランジスタであり、3は定電流源であり、4は半導体発光素子であり、5は抵抗であり、106は半導体発光素子を駆動するバイポーラトランジスタのコレクタとパッケージ116のピンを接続するボンディングワイヤによる寄生インダクタンスであり、107はピンの寄生インダクタンスであり、108はピンから半導体発光素子4までの配線による寄生インダクタンスであり、109はバイポーラトランジスタが形成された集積回路内に形成された抵抗であり、110はバイポーラトランジスタが形成された集積回路内に形成されたコンデンサである。抵抗109とコンデンサ110は集積回路内で直列接続に形成され、この直列接続回路の一端は、半導体発光素子を駆動するバイポーラトランジスタのコレクタに接続され、他端は電源あるいは基板電位に接続される。15は電源であり、114、115はトランジスタ1、2を駆動する相補パルス信号である。

【0066】この実施例において、図5の回路構成を図15と同様な近似回路で表すと、寄生インダクタンス106、107、108の合成インダクタンス $L_1 + L_1 + L_1$ をあらためて L_1 とおくと図15の矢印で示す L_1 になり、又従来例図13における寄生インダクタンス112、即ち、 L_1 は、CR直列回路が集積回路にあるため、矢印で示すようにほぼ0とすることができる。即ち、従来例で半導体発光素子を駆動するバイポーラトランジスタのコレクタと、CR直列回路の間に発生した寄生インダクタンスを即ち、0とすることができる。つまり、従来例で言えば、 $L_1 = L_1 = 0$ とすることができることとなる。

【0067】前述の場合、前述の式(14)は、 $L_1 = 0$ であるので、以下の式(16)になる。

【0068】

(15)

ラトランジスタが形成された集積回路の外部に配置した抵抗とコンデンサとから成る直列回路を集積回路内に配置し、直列回路をバイポーラトランジスタのコレクタと集積回路内で直接接続するようにしたので、半導体発光素子を駆動するバイポーラトランジスタのコレクタと直列回路の間に従来例では発生した寄生インダクタンスは発生しない。このため、外部に生じる寄生インダクタンスに関して抵抗の抵抗値とコンデンサの容量を適切に選ぶことによって、半導体発光素子駆動回路において相補的なパルス信号を加えたときに半導体発光素子に流れる電流が振動的に変化する状態と非振動的に変化する状態

(8)

特開平8-56034

13

の間の臨界状態になるように設定できる。このように設定することにより、半導体発光素子駆動回路において、オーバーシュートを防止でき、また高速スイッチングを行うことができる。

【0070】図6は、本発明の駆動回路が形成されたICチップの部分的な断面を示す図である。図では、1つのバイポーラトランジスタBPTと2つのMOSトランジスタMOSのみ示し、保護層等は省略してある。201はP型シリコン基板、202はn⁺型のコレクタ埋込み層、203はP型のウェル、204はn⁺型のエピタキシャル層、205はP型ベース、206はn⁺型のエミッタである。207、208は2つのNMOSトランジスタMOSのソース・ドレインであり、210はゲートである。209は素子分離用のフィールド絶縁膜である。

【0071】又、配線211は発光素子との接続端子に接続されるバイポーラトランジスタのコレクタ配線、212は入力端子となるベース配線、213は定電流源とバイポーラトランジスタを接続する配線、214は低電位の基準電圧源に接続されるアースラインである。

【0072】又、図7は抵抗RとコンデンサCとの直列回路の形成されたICチップの部分断面を示す図である。

【0073】221、222はn⁺型拡散層、215は抵抗RとコンデンサCとを接続する直列接続用配線である。230は層間絶縁膜である。

【0074】本発明においては、BiMOSプロセスやBiCMOSプロセスと呼ばれる製造方法により、駆動回路が図6のように1チップ化され、必要に応じて図7の回路も共にモノリシックに集積化する。

【0075】図8は、本発明の回路を用いたシステムの例であり、Aはプリンタ、Bは光通信システムを示す。

【0076】DRMは感光体、CLNはクリーナー、CGRは帯電器である。EXPは露光装置であり、ここに本発明の駆動回路が用いられる。DVLは現像器、Pは記録媒体である。露光装置EXPは、LEDアレイ又はレーザーダイオードを発光素子として用い、これからの光を用いて感光体に潜像を作る。

【0077】通信システムBでは、発信側は発光素子としてのレーザーダイオードLDと駆動回路とをもつ発信機SYS1をもち、受信側は光ダイオードセンサーPHDと受信機SYS2をもつ。OFRは光ファイバーである。本発明はこの発信機SYS1に採用される。

【0078】

【発明の効果】以上説明したように、本発明によれば、オーバーシュート、リングングの無い、電流パルス波形を得る事が出来る。このため、安定した駆動電流により半導体発光素子を駆動することにより、半導体発光素子の劣化が無く、製品寿命を長くすることができるという効果が得られる。

14

【0079】また、従来の対策により生じた、駆動周波数の低下の問題や、パッケージピン数の増加、部品の増加等の問題も、解決することができるという効果が得られる。

【0080】また、本発明によれば、半導体発光素子を駆動するバイポーラトランジスタのコレクタと直列回路の間に従来例では発生した寄生インダクタンスの発生を抑えることができる。このため、外部に生じる寄生インダクタンスに関して抵抗の抵抗値とコンデンサの容量を適切に選ぶことによって、半導体発光素子駆動回路において相補的なパルス信号を加えたときに半導体発光素子に流れる電流が振動的に変化する状態と非振動的に変化する状態の間の臨界状態になるように設定できる。このように設定することにより、半導体発光素子駆動回路において、オーバーシュートを防止でき、また高速スイッチングを行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体発光素子駆動回路図である。

20 【図2】図1の回路の動作時の各部の電圧、電流波形を示す説明図である。

【図3】本発明を実施した時の半導体発光素子駆動電流と定電流NMOSのゲートの電位波形図である。

【図4】本発明の第2実施例による駆動回路の図である。

【図5】本発明の第3実施例による駆動回路の図である。

【図6】本発明の実施例による駆動回路チップの部分断面図である。

30 【図7】本発明の実施例による駆動回路チップの部分断面図である。

【図8】本発明の駆動回路を用いたシステムの構成を示す模式図である。

【図9】従来例の半導体発光素子駆動回路図である。

【図10】図9の回路を動作させた時の各部の電圧、電流波形図である。

【図11】別の駆動回路の回路図である。

【図12】別の駆動回路の回路図である。

【図13】従来例の半導体発光素子駆動回路図である。

【図14】図13に対応した実装状態図である。

【図15】図13の近似回路図である。

【図16】駆動電流波形図である。

【符号の説明】

1, 2 npnトランジスタ

3 NMOSトランジスタ

4 半導体発光素子

5 抵抗

7 寄生インダクタンス

8 接合容量C_j

50 9, 10 エミッタ・コレクタ間容量

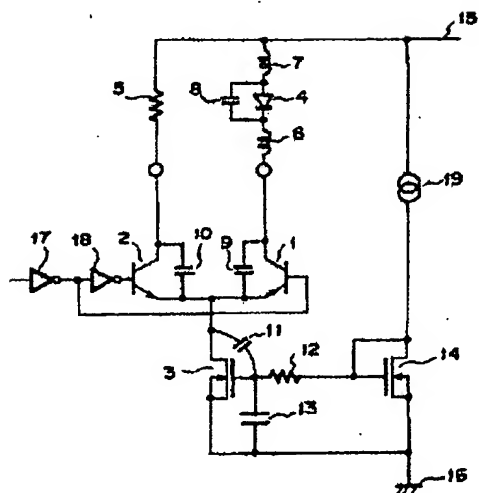
(9)

特開平8-56034

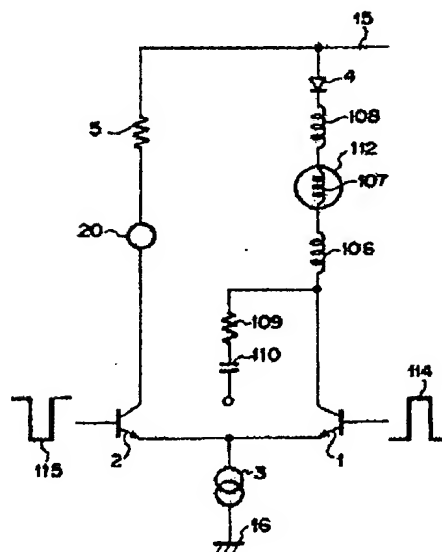
- 15
11 ドレイン・ゲート間容量
12 抵抗
13 容量
14 NMOSトランジスタ
15 電源
16 接地電位
17, 18 インバータ
19 定電流源
106 寄生インダクタンス
107 寄生インダクタンス
108 寄生インダクタンス
109 抵抗
110 コンデンサ
114, 115 相補パルス信号
116 パッケージ
201 P型シリコン基板

- 16
202 n⁺ 型のコレクタ埋込み層
203 P型のウエル
204 n⁻ 型のエピタキシャル層
205 P型ベース
206 N⁺ 型のエミッタ
207, 208 ソース・ドレイン
209 フィールド絶縁膜
210 ゲート
211 コレクタ配線
212 ベース配線
213 配線
214 アースライン
215 直列接続用配線
221, 222 n⁺ 型拡散層
230 層間絶縁膜

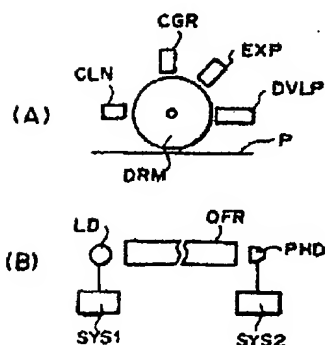
【図1】



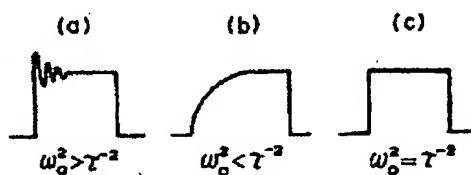
【図5】



【図8】



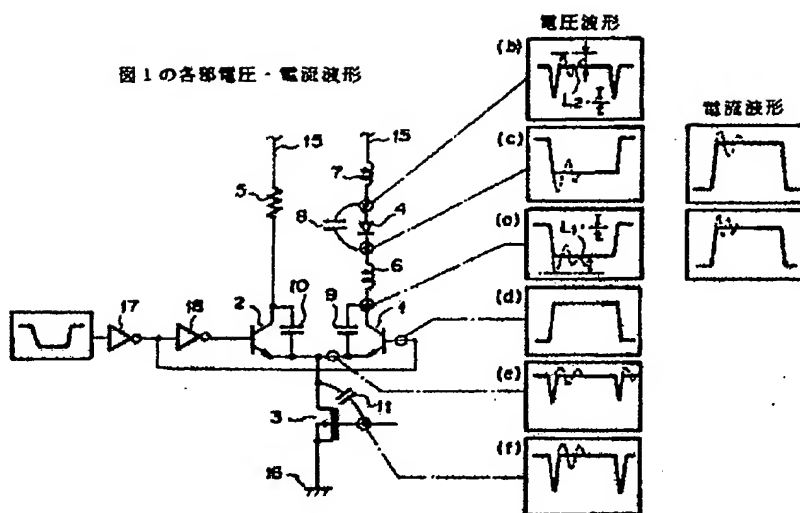
【図16】



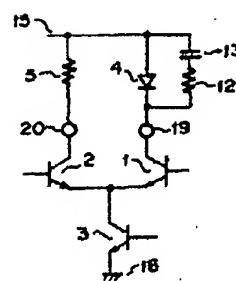
(10)

特開平8-56034

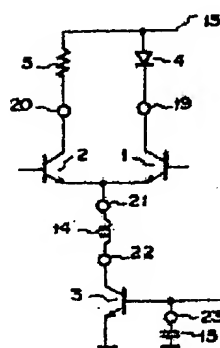
【図2】



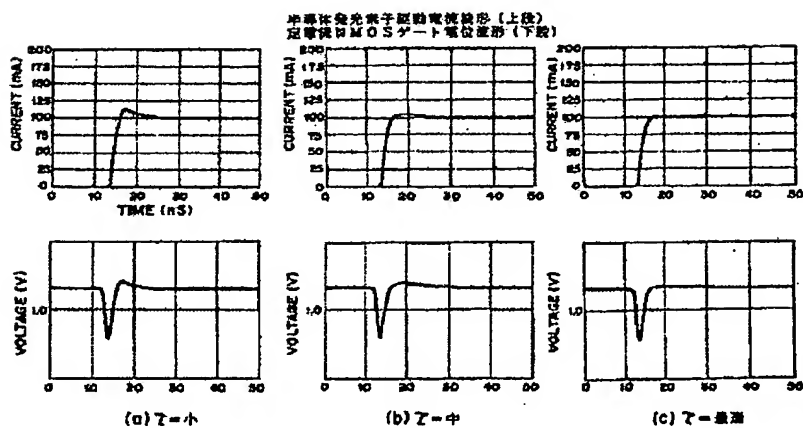
【図11】



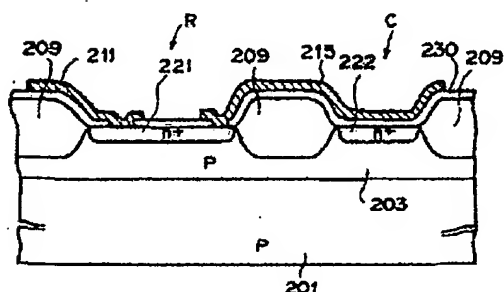
【図12】



【図3】



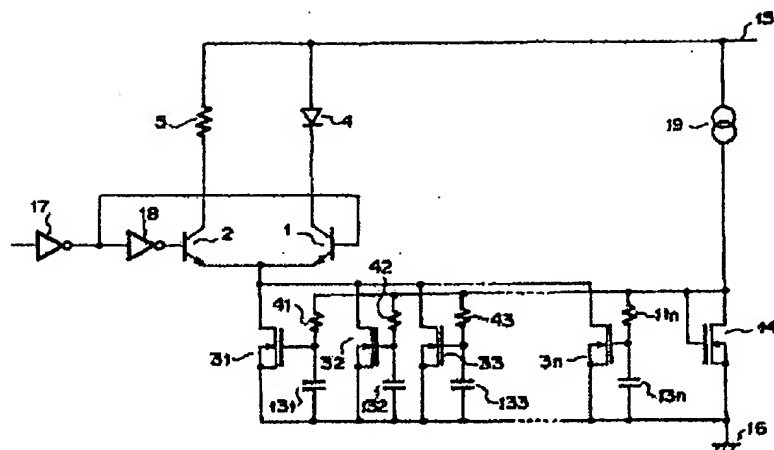
【図7】



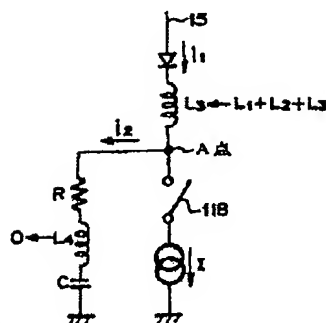
(11)

特開平8-56034

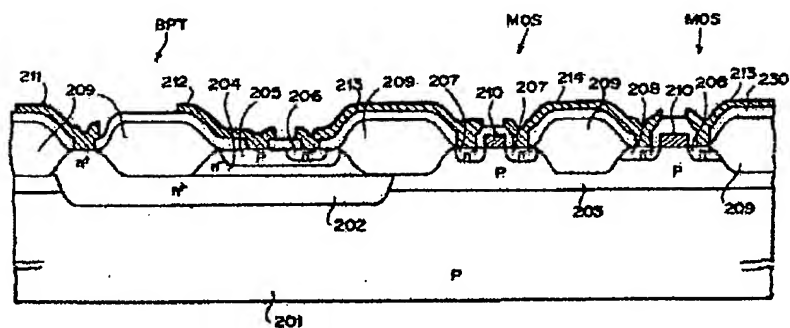
【図4】



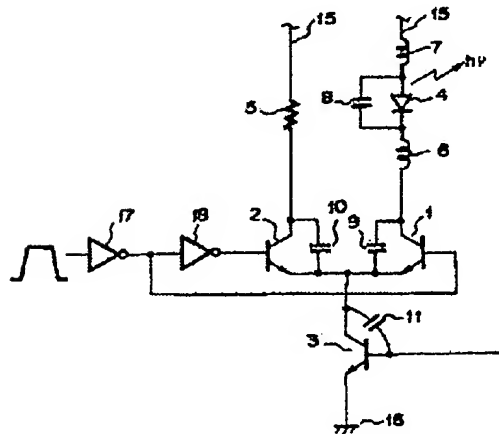
【図15】



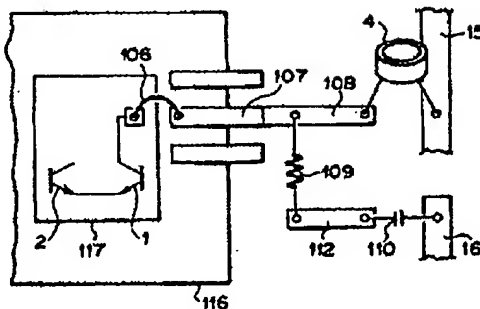
【図6】



【図9】



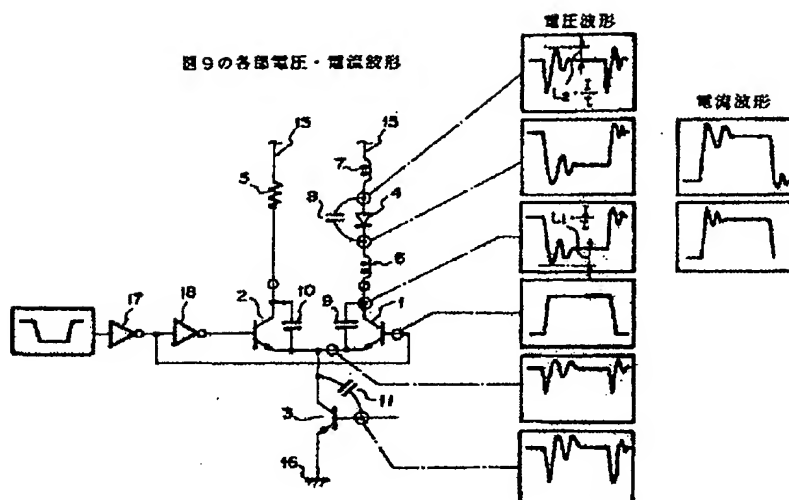
【図14】



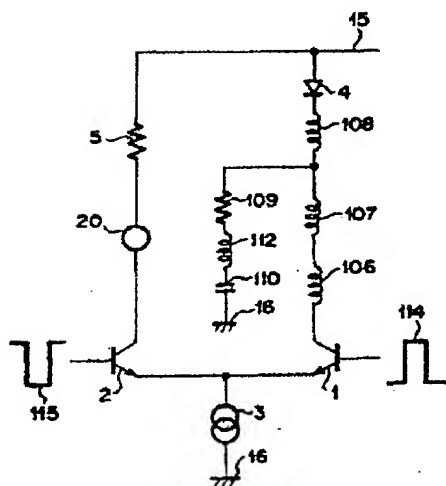
(12)

特開平8-56034

【図10】



【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.